

# Technická zpráva



Akademie věd České republiky  
Ústav teorie informace a automatizace AV ČR, v.v.i.

## RETAC demo – emulátor poruch v2.0

Leoš Kafka, Martin Daněš

*leos.kafka@utia.cas.cz*

### Obsah

1. Úvod.....	2
2. Emulátor poruch v 2.0 .....	2
3. Použité/Potřebné vybavení a nástroje .....	2
4. Formát dat.....	3
5. Postup implementace/rozběhnutí aplikace .....	3
6. Obsah a popis přiloženého balíku .....	4
7. Reference.....	4

### Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	17.12.2008	L.K.	Vytvoření dokumentu

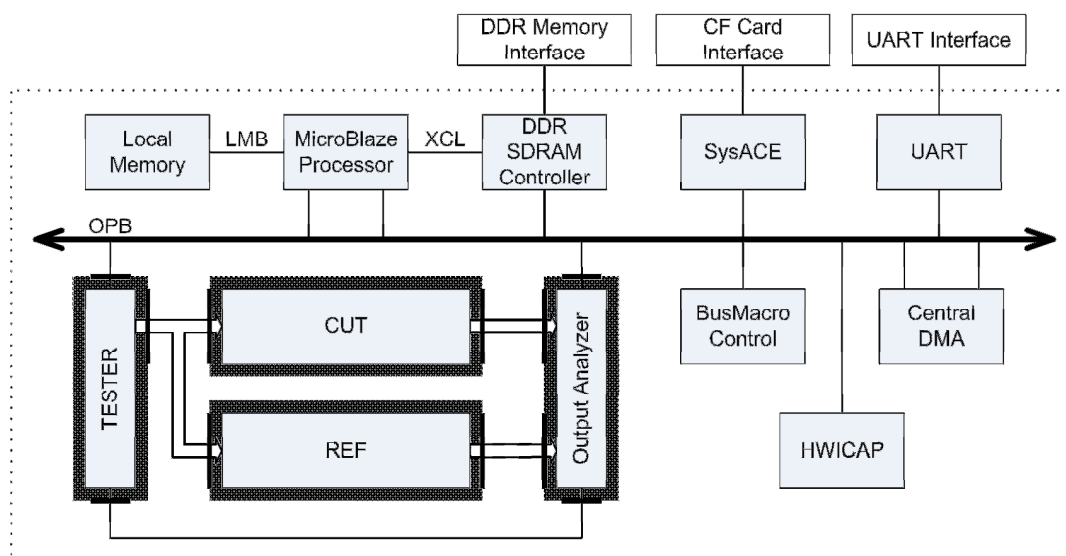
## 1. Úvod

Tato zpráva popisuje demo, které na předpřipraveném příkladě ukazuje použití emulátoru poruch pro emulaci trvalých poruch v ASIC netlistech pomocí FPGA. Tento emulátor jsme vytvořili v rámci projektu RETAC pro ověření některých metod a postupů vyvinutých v tomto projektu na reálných příkladech.

## 2. Emulátor poruch v 2.0

Emulátor jsme vytvořili pro ověření některých metod vyvinutých v projektu RETAC. Při přípravě ASIC netlistu pro emulaci v FPGA byla použita metoda [1], která zachovává strukturu obvodu s ohledem na cílovou (ASIC) technologii. Pro vkládání poruch do emulovaného netlistu je použita metoda [2] založená na dynamické rekonfiguraci FPGA přes interní konfigurační port ICAP. V tomto emulátoru je také při rekonfiguraci modulů použito DMA, což podstatně urychluje rekonfiguraci modulů [2]. Při implementaci emulátoru jsou dále použity nástroje pro automatické generování a vkládání oddělovacích bus-maker [3].

Emulátor v 2.0 byl navržen jako vestavěný systém v FPGA Xilinx. Blokové schéma emulátoru je na obrázku Obrázek 1. Jako řídicí procesor je použit procesor Xilinx MicroBlaze. Emulátor obsahuje čtyři dynamicky rekonfigurovatelné oblasti – po jedné pro tester, emulovaný obvod (DUT), volitelný referenční obvod (REF) a analyzátor výsledků testů. Implementace těchto komponent jako dynamických modulů poskytuje vyšší flexibilitu emulátoru a urychluje vývoj nových komponent. Rekonfigurace FPGA se provádí pomocí komponenty HWICAP. Zbylé moduly jsou podpůrné moduly emulátoru.



Obrázek 1 - blokové schéma emulátoru poruch

Pro implementaci jsme použili přípravek Xilinx XUP Virtex-II Pro board s FPGA Virtex-II Pro (xc2vp30-6-ff896).

## 3. Použité/Potřebné vybavení a nástroje

Pro spuštění tohoto dema je potřeba přípravek Xilinx XUP Virtex-II Pro board, sériový kabel pro propojení přípravku s PC a čtečku paměťových karet Compact Flash.

## 4. Formát dat

Všechna data pro emulátor jsou uložena na kartě Compact Flash (adresáře CF\_files na CD). Emulátor načte tato data při startu aplikace. Sériová linka slouží pouze pro zadávání příkazů uživatelem. Typy datových souborů jsou v tabulce Tabulka 1.

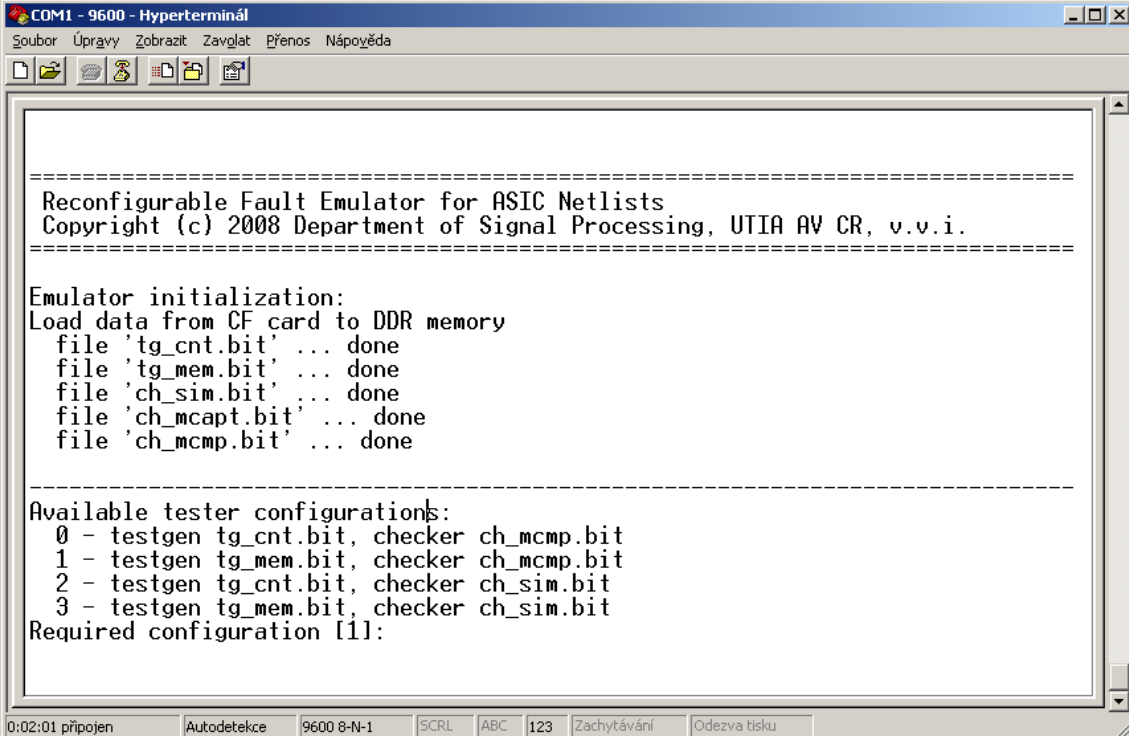
Tabulka 1 - formát dat

Formát	Typ	Popis
ace	bin	Konfigurační soubor FPGA,
bit	bin	Částečné bitstreamy testovaných ASIC netlistů a modulů emulátoru
fl	text	Data popisující změny konfigurace FPGA nutné pro vložení poruch do emulovaného netlistu
tst	text	Testovací vektory pro emulovaný netlist

## 5. Postup implementace/rozběhnutí aplikace

Postup pro spuštění emulátoru na přípravku Xilinx XUP Virtex-II Pro board:

1. Zkopírovat data z adresáře CF\_files na kartu CompactFlash
2. Vložit kartu CompactFlash do přípravku
3. Propojit přípravek s PC pomocí sériového kabelu
4. Spustit terminál s nastavením: **9600kbit, 8bit, bez parity**
5. Po zapnutí přípravku se na terminálu objeví výpis, viz obrázek Obrázek 2
6. Postupovat dále podle pokynů na terminálu (zadání konfigurace emulátoru, vybrání testovaného obvodu)



```
COM1 - 9600 - Hyperterminál
Soubor Úpravy Zobrazit Zaveřít Přenos Nápověda

=====
Reconfigurable Fault Emulator for ASIC Netlists
Copyright (c) 2008 Department of Signal Processing, UTIA AV ČR, v.v.i.
=====

Emulator initialization:
Load data from CF card to DDR memory
file 'tg_cnt.bit' ... done
file 'tg_mem.bit' ... done
file 'ch_sim.bit' ... done
file 'ch_mcapt.bit' ... done
file 'ch_mcmp.bit' ... done

=====

Available tester configurations:
0 - testgen tg_cnt.bit, checker ch_mcmp.bit
1 - testgen tg_mem.bit, checker ch_mcmp.bit
2 - testgen tg_cnt.bit, checker ch_sim.bit
3 - testgen tg_mem.bit, checker ch_sim.bit
Required configuration [1]:

0:02:01 připojen Autodetekce 9600 8-N-1 SCRL ABC 123 Zachytávání Odezva tisku
```

Obrázek 2 - komunikace s emulátorem pomocí sériové linky

## 6. Obsah a popis přiloženého balíku

Přiložené CD obsahuje ...

CDROM	- doc	tato dokumentace
	- emulátor_v2	
	- demo_3a	Emulátor bez modulu REF
	- CF_files	Obsah karty CF
	- COM1 - capture	Log z terminálu
	- demo_3b	Emulátor s modulem REF
	- CF_files	Obsah karty CF
	- COM1 - capture	Log z terminálu

## 7. Reference

- [1] Kafka, Leoš ; Daněk, Martin ; Novák, O. A Novel Emulation Technique that Preserves Circuit Structure and Timing. In International Symposium on System-on-Chip 2007 Proceedings. Tampere : IEEE, 2007. S. 15-18. ISBN 1-4244-1367-2. [International Symposium on System-on-Chip 2007 /9./, Tampere, 20.11.2007-21.11.2007, FI].
- [2] Kafka, Leoš. Analysis of Applicability of Partial Runtime Reconfiguration in Fault Emulator in Xilinx FPGAs. In Proceedings 2008 IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. Piscataway : IEEE, 2008. S. 178-181. ISBN 978-1-4244-2276-0. [IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. DDECS 2008 /11./, Bratislava, 16.04.2008-18.04.2008, SK].
- [3] Kafka, Leoš ; Bartosinski, Roman ; Daněk, Martin. Accessory Tools for Partial Dynamic Reconfiguration on Xilinx FPGAs. [program]. Praha : ÚTIA AV ČR, 2007. CD ROM, 4 MB.

## Poděkování

Tato práce vznikla v rámci projektu 1QS108040510 (Národní program výzkumu, Informační společnost)