

Technická zpráva



Akademie věd České republiky
Ústav teorie informace a automatizace AV ČR, v.v.i.

Vkládání poruch do emulovaného ASIC netlistu pomocí dynamické rekonfigurace FPGA

Leoš Kafka
leos.kafka@utia.cas.cz

Obsah

1. Úvod.....	2
2. Emulace poruch	2
2.1 Vkládání poruch dynamickou rekonfigurací	2
3. ExtractFL.....	3
4. Obsah a popis přiloženého balíku	5
5. Reference.....	5

Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	16.12.2008	L.K.	Vytvoření dokumentu

1. Úvod

Tato zpráva se zabývá emulací poruch v ASIC netlistu pomocí FPGA, zejména pak vkládáním poruch do emulovaného netlistu. Pro vkládání poruch je použita částečná dynamická rekonfigurace FPGA. U této metody se porucha do emulovaného netlistu vloží nahráním vhodně modifikovaných konfiguračních dat do FPGA.

Vytvořili jsme nástroj **ExtractFL**, který z rozmístěného a propojeného netlistu pro FPGA vygeneruje pro každou poruchu konfigurační data pro FPGA.

2. Emulace poruch

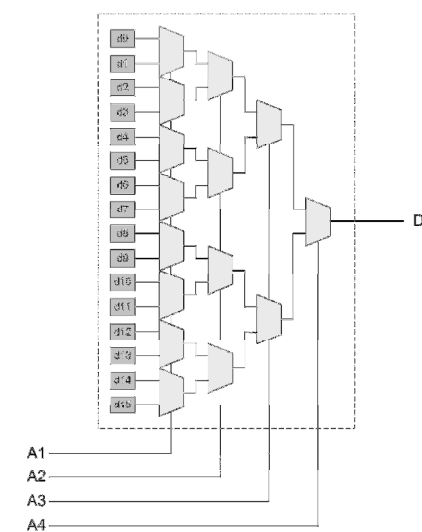
Cílem emulace poruch v obvodu je zjištění chování obvodu v případě, že se v něm vyskytne jedna porucha daného typu. Porucha není součástí běžné funkce obvodu. Pro vynucení poruchy v obvodu (fault injection) lze použít buď metodu založenou na modifikaci emulovaného obvodu, nebo metodu založenou na částečné dynamické rekonfiguraci. V tomto dokumentu se budeme zabývat metodou založenou na částečné dynamické rekonfiguraci. Ta v porovnání s první zmíněnou metodou nevyžaduje pro vkládání poruch žádné modifikace emulovaného obvodu a má tak nižší area overhead. Nevýhodou je delší doba pro vložení a odstranění poruchy. Naše metoda, ve které se konfigurace FPGA mění přímo prostřednictvím konfiguračního portu ICAP, je popsána v [1].

Pro přípravu netlistu pro emulaci je nutné použít speciální postup, který zachová strukturu původního obvodu po implementaci v FPGA. Tato podmínka je nutná pro dosažení smysluplných výsledků pro emulaci poruch. Metoda, která zachovává strukturu obvodu s ohledem na původní technologii, je popsána v [2].

2.1 Vkládání poruch dynamickou rekonfigurací

Při vkládání poruch do emulovaného obvodu pomocí dynamické rekonfigurace je nutné změnit konfiguraci FPGA tak, aby funkce obvodu odpovídala funkci obvodu s danou poruchou. V případě emulace trvalých poruch na vstupech hradel emulovaného netlistu se toto provádí změnou konfigurace jednoho nebo více LUT, které implementují hradlo s poruchou.

Vnitřní struktura LUT je na obrázku Obrázek 1. Pomocí jednoho LUT lze implementovat hradlo s nejvýše čtyřmi vstupy. Pokud má emulované hradlo méně než 4 vstupy, zůstane odpovídající část tabulky LUT nevyužita; pro vícevstupé hradlo je potřeba použít více LUTů.



Obrázek 1 - vnitřní struktura LUT

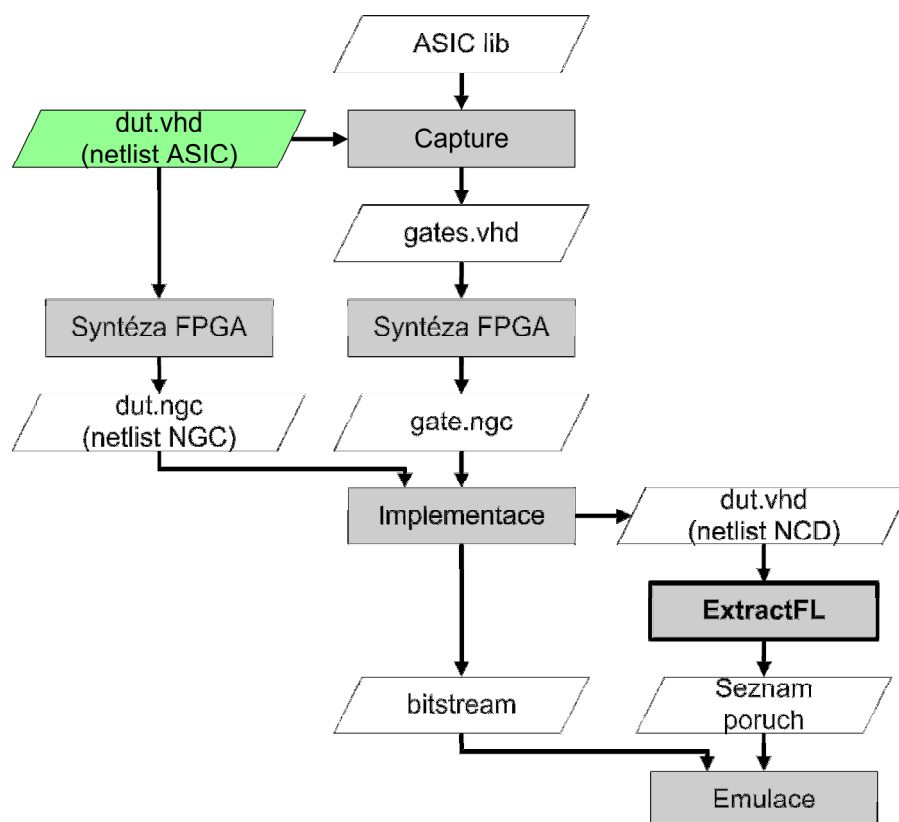
Příklad změn konfiguračních dat pro emulaci trvalých poruchy na vstupech dvojvstupého hradla AND je v tabulce Tabulka 1. První řádek tabulky odpovídá původní konfiguraci LUT, další čtyři řádky odpovídají konfiguraci LUT pro různé poruchy na vstupech hradla.

Tabulka 1- konfigurace LUT pro emulaci s-a poruch v hradle AND2

Porucha	Konfigurace LUT
bez poruchy	0001xxxxxxxxxxxx
s-a-0 @ a	0000xxxxxxxxxxxx
s-a-1 @ a	0011xxxxxxxxxxxx
s-a-0 @ b	0000xxxxxxxxxxxx
s-a-1 @ b	0101xxxxxxxxxxxx

3. ExtractFL

ExtractFL je nástroj, který z rozmístěného a propojeného netlistu pro FPGA vygeneruje data, jejichž nahráním do FPGA se do emulovaného netlistu vloží požadovaná porucha. Použití nástroje ExtractFL v design flow je na obrázku Obrázek 2. Obrázek dále znázorňuje přípravu netlistu pro emulaci, viz [1].



Obrázek 2 - Design flow pro emulaci poruch v ASIC netlistu

Příklad použití nástroje ExtractFL pro jednu instanci hradla NOR20 v netlistu C5315 je na obrázcích Obrázek 3, Obrázek 4 a Obrázek 5. Na obrázku Obrázek 3 a Obrázek 4 je fragment rozmístěného a propojeného netlistu pro FPGA. Na obrázku Obrázek 5 je výstup nástroje ExtractFL. Kromě identifikace LUT a původní konfigurace obsahuje čtyři další konfigurace LUT pro různé poruchy. Metoda konfigurace FPGA pro vložení poruchy je popsána v [1].

```
...
U1217:NOR20_INST_24
  port map (
    A => n1025,
    B => n1127,
    Q => n1126
  );
...
```

**Obrázek 3 - instance hradla NOR20
v emulovaném netlistu C5315**

```
entity NOR20_INST_24 is
  port (
    A : in STD_LOGIC := 'X';
    B : in STD_LOGIC := 'X';
    Q : out STD_LOGIC
  );
end NOR20_INST_24;
...
architecture STRUCTURE of NOR20_INST_24 is
...
  Mrom_dout_0_11 : X_LUT4
    generic map (
      INIT => X"0055",
      LOC => "SLICE_X59Y45"
    )
    port map (
      ADR0 => A,
      ADR1 => VCC,
      ADR2 => VCC,
      ADR3 => B,
      O => i_dut_i_module_n1126_F
    );
```

**Obrázek 4 – definice hradla NOR20 pro emulovaný netlist C5315,
implementovaná pomocí jednoho LUT**

```
NID:U1217:NOR20_INST_24:
LOC:X59Y45
POS:X
CFI:FFAA
CFF:sa0@A:FF00
CFF:sa1@A:FFFF
CFF:sa0@B:AAAA
CFF:sa1@B:FFFF
```

**Obrázek 5 - konfigurační data pro emulaci poruch
na vstupech instance hradla NOR20.**

4. Obsah a popis přiloženého balíku

Přiložené CD obsahuje nástroj ExtractFL a jeden příklad.

CDROM	- bin	nástroje
	- doc	tato dokumentace
	- example	
	- src	zdrojové soubory
	- script	spouštěcí skripty
	- outputs	adresář pro výstup programu
	- outputs_correct	předgenerované výstupy programu

5. Reference

[1] Kafka, Leoš. *Analysis of Applicability of Partial Runtime Reconfiguration in Fault Emulator in Xilinx FPGAs*. In Proceedings 2008 IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. Piscataway : IEEE, 2008. S. 178-181. ISBN 978-1-4244-2276-0. [IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. DDECS 2008 /11./, Bratislava, 16.04.2008-18.04.2008, SK].

[2] Kafka, Leoš ; Daněk, Martin ; Novák, O. *A Novel Emulation Technique that Preserves Circuit Structure and Timing*. In International Symposium on System-on-Chip 2007 Proceedings. Tampere : IEEE, 2007. S. 15-18. ISBN 1-4244-1367-2. [International Symposium on System-on-Chip 2007 /9./, Tampere, 20.11.2007-21.11.2007, FI].

Poděkování

Tato práce vznikla v rámci projektu 1QS108040510 (Národní program výzkumu, Informační společnost)